

MENU

SEARCH

INDEX

DETAIL

JAPANESE

1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-007308

(43)Date of publication of application : 11.01.2002

(51)Int.Cl.

G06F 13/16

G06F 3/00

G06F 12/00

G06F 12/06

G11C 7/00

(21)Application number : 2000-184782 (71)Applicant : NEC CORP

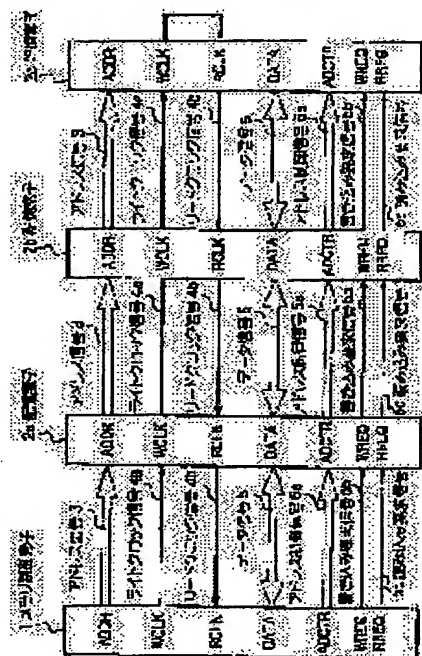
(22)Date of filing : 20.06.2000 (72)Inventor : KASHIWAKURA KAZUHIRO

(54) MEMORY BUS SYSTEM AND CONNECTING METHOD FOR SIGNAL LINE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inexpensive substrate and a memory cell, for which high level impedance matching is not required by accelerating the operating speed of a memory bus.

SOLUTION: The memory bus system is constituted by serially connecting a memory control element 1 and memory cells 2a, 2b and 2c through signal lines. The signal lines between the memory control element 1 and the memory cell 2a, between the memory cells 2a and 2b and between the memory cells 2b and 2c are connected by point-to-point. The signal lines, have no branch and there is no mutual crossing between the signal lines.



LEGAL STATUS

[Date of request for examination] 20.04.2001

[Date of sending the examiner's decision of rejection] 10.12.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-7308

(P2002-7308A)

(43) 公開日 平成14年1月11日 (2002.1.11)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 F 13/16	5 1 0	G 0 6 F 13/16	5 1 0 A 5 B 0 6 0
3/00		3/00	T
12/00	5 6 4	12/00	5 6 4 D
12/06	5 1 5	12/06	5 1 5 F
G 1 1 C 7/00	3 1 1	G 1 1 C 7/00	3 1 1 Z

審査請求 有 請求項の数 7 O L (全 9 頁)

(21) 出願番号 特願2000-184782 (P2000-184782)

(22) 出願日 平成12年6月20日 (2000.6.20)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 柏倉 和弘

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

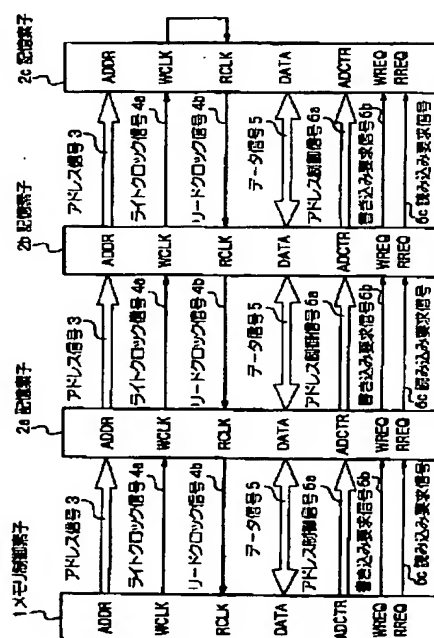
Fターム(参考) 5B060 0001 MM11

(54) 【発明の名称】 メモリバスシステムおよび信号線の接続方法

(57) 【要約】

【課題】 メモリバスの動作速度を上げ、高度なインピーダンス整合の必要のない、安価な基板および記憶素子を提供する。

【解決手段】 メモリバスシステムはメモリ制御素子1と記憶素子2 a、2 b、2 cが信号線により直列に接続されて構成される。メモリ制御素子1と記憶素子2 aの間、記憶素子2 aと記憶素子2 bの間および記憶素子2 bと記憶素子2 cの間の信号線はポイント・ツー・ポイントで接続される。信号線は分岐がなく、信号線相互間の交差もない。



【特許請求の範囲】

【請求項1】 メモリ制御素子と複数の記憶素子を信号線により直列に接続するメモリバスシステムの信号線の接続方法において、

前記メモリ制御素子と初段の記憶素子の間および記憶素子と次段の記憶素子の間の信号線をポイント・ツー・ポイントで接続することを特徴とするメモリバスシステムの信号線の接続方法。

【請求項2】 信号線は、アドレス信号、データ信号、アドレスラッチ用とデータ書き込み用クロック信号、データ読み込み用クロック信号、アドレス制御信号、書き込み要求信号、および読み込み要求信号の各信号線を含む請求項1記載のメモリバスシステムの信号線の接続方法。

【請求項3】 メモリ制御素子と複数の記憶素子が信号線により直列に接続されて成るメモリバスシステムにおいて、

前記メモリ制御素子と初段の記憶素子の間および記憶素子と次段の記憶素子の間の信号線がポイント・ツー・ポイントで接続されることを特徴とするメモリバスシステム。

【請求項4】 信号線は、アドレス信号、データ信号、アドレスラッチ用とデータ書き込み用クロック信号、データ読み込み用クロック信号、アドレス制御信号、書き込み要求信号、および読み込み要求信号の各信号線を含む請求項3記載のメモリバスシステム。

【請求項5】 各記憶素子は、入力した信号線を自素子内の処理と次段記憶素子への伝送に分配して送出する分配回路と、入力したアドレス制御信号に1を加算して次段記憶素子へ伝送する加算回路とを有する請求項4記載のメモリバスシステム。

【請求項6】 データ信号が書き込み用データ信号と読み込み用データ信号に分離して用いられる請求項4または5記載のメモリバスシステム。

【請求項7】 記憶素子の数はメモリ制御素子のアドレス空間分の数以内である請求項3から6のいずれか一記載のメモリバスシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、メモリ制御素子と複数の記憶素子が直列に接続されて成るメモリバスシステムに関し、特に、素子間の信号線の接続方法に関する。

【0002】

【従来の技術】 従来、この種のSDRAM等のメモリバスの設計は、素子間の接続は通常、図7に示すように行われ、メモリコントローラ（メモリ制御素子）に複数の記憶素子を接続する場合には、配線形態をポイント・ツー・ポイント（以下1：1と表現する）にすることができない。すなわち、信号配線上には、必ず配線の分岐点

があり、分岐点による特性インピーダンスの変化は信号の反射を生じさせ、配線による遅延時間（以下、メディア遅延と表現する）が増大する。メディア遅延は、メモリの動作速度を速くすればするほど顕著にあらわれる。

05 図8はメモリバスで記憶素子に到達した信号の波形を示す。配線に分岐があるため、図中、Aに示すようにメディア遅延が増加している。

【0003】 また、図7において、データ信号5がメモリ制御素子31から記憶素子32a～32cへと伝送する場合と、記憶素子32a～32cからメモリ制御素子31へ伝送させる場合の2方向があるのに対し、クロック信号4はメモリ制御素子31から記憶素子32a～32cへと一方向にしか伝送されない。これら、二つの条件により、メディア遅延が制限されることになる。例えば、図9は、あるメモリ制御素子と記憶素子とを100MHzで動作させる場合のメディア遅延の許容値を示したグラフを示す。直線■および直線■は、クロック信号4のメディア遅延（クロック遅延）および書き込み動作時のデータ信号5のメディア遅延（データ遅延）の関係を示しており、直線■と直線■に挟まれた領域が動作可能な条件である。また、直線■および直線■はクロック信号4のメディア遅延（クロック遅延）および読み込み動作時のデータ信号5のメディア遅延（データ遅延）の関係を示しており、同様に、直線■と直線■に挟まれた領域が動作可能な条件である。クロックが共通であることから、このメモリバスが動作する条件は、直線■、■、■で囲まれた狭い領域（ハッチング部分）となる。

【0004】

30 【発明が解決しようとする課題】 上述した従来の技術における問題点を解決するため、図10のブロック図に示すRAMBUSメモリが実用化されている。このRAMBUSメモリでは、分岐による反射歪みを回避するため、記憶素子が集中するところでは、分岐配線と記憶素子の端子容量等を含めて、インピーダンスを合わせ、等価的に反射のない配線を実現している。しかしながら、これを実現するには、高度な特性インピーダンス整合を要求するため基板が高価となり、また、記憶素子の端子のインピーダンス特性のばらつきを抑えるため、記憶素子自身も高価となっている。

40 【0005】 本発明の目的は、メモリバスの動作速度を上げ、高度なインピーダンス整合の必要のない、安価な基板および記憶素子を提供することにある。

【0006】

45 【課題を解決するための手段】 本発明のメモリバスシステムの信号線の接続方法は、メモリ制御素子と複数の記憶素子を信号線により直列に接続するメモリバスシステムの信号線の接続方法において、前記メモリ制御素子と初段の記憶素子の間および記憶素子と次段の記憶素子の間の信号線を1：1で接続する。

【0007】信号線は、アドレス信号、データ信号、アドレスラッチ用とデータ書き込み用クロック信号、データ読み込み用クロック信号、アドレス制御信号、書き込み要求信号、および読み込み要求信号の各信号線を含んで良い。

【0008】本発明のメモリバスシステムは、メモリ制御素子と複数の記憶素子が信号線により直列に接続されて成るメモリバスシステムにおいて、前記メモリ制御素子と初段の記憶素子の間および記憶素子と次段の記憶素子の間の信号線が1:1で接続される。

【0009】信号線は、アドレス信号、データ信号、アドレスラッチ用とデータ書き込み用クロック信号、データ読み込み用クロック信号、アドレス制御信号、書き込み要求信号、および読み込み要求信号の各信号線を含んでよい。

【0010】各記憶素子は、入力した信号線を自素子内の処理と次段記憶素子への伝送に分配して送出する分配回路と、入力したアドレス制御信号に1を加算して次段記憶素子へ伝送する加算回路とを有するものを含む。

【0011】データ信号が書き込み用データ信号と読み込み用データ信号に分離して用いられるものを含む。

【0012】記憶素子の数はメモリ制御素子のアドレス空間分の数以内であるものを含む。

【0013】以上のように構成するので、信号配線の分岐がないことにより反射歪みや遅延増加をなく、各信号の動作速度を上げることが可能となり、メモリのデータ転送能力を増大できる。また、高度なインピーダンス整合も必要なく、安価な基板および記憶素子を実現する。

【0014】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して説明する。

（信号線の接続方法の第1実施の形態）図1は本発明のメモリバスシステムの信号線の接続方法の第1実施の形態のフローチャートである。

【0015】このメモリバスシステムの信号線の接続方法は、メモリ制御素子と複数の記憶素子を信号線により接続するときに、図1に示すように、メモリ制御素子と初段の記憶素子の間および任意の記憶素子と次段の記憶素子の間の信号線を1:1で接続して（ステップS1）、各素子が直列接続となるように形成する。

【0016】ここで、接続される信号線は、アドレス信号、データ信号、アドレスラッチ用とデータ書き込み用クロック信号、データ読み込み用クロック信号、アドレス制御信号、書き込み要求信号、および読み込み要求信号の各信号線を含んでいる。

【0017】各記憶素子の間の信号線を1:1で接続するので、信号配線の分岐がないことにより反射歪みや遅延増加をなく、各信号の動作速度を上げることが可能となり、メモリのデータ転送能力を増大できる。また、高度なインピーダンス整合も必要がない。

（メモリバスシステムの第1実施の形態）図2は、本発明のメモリバスシステムの第1実施の形態のブロック図を示し、図3は、図2の記憶素子2a~2cの内部ブロック図を示し、図4は図2のメモリバスシステムの配線図を示す。

【0018】第1実施の形態のメモリバスシステムは、図1の信号線の接続方法が適用されたメモリバスシステムであって、図2に示すように、メモリ制御素子1と記憶素子2a間のアドレス信号3、ライトクロック信号4a、リードクロック信号4b、データ信号5、および制御信号6a~6cは1:1で接続されており、記憶素子2a内部を経由して、記憶素子2bへ、さらに記憶素子2cへと信号は接続されている。メモリ制御素子1から最遠端にある記憶素子2cで出力されたライトクロック信号4aは、記憶素子2c自身のリードクロック信号4bへと接続されている。

【0019】図3を参照すると、記憶素子2a~2cには、アドレス信号3、ライトクロック信号4a、リードクロック信号4b、データ信号5、およびアドレス制御信号6a、書き込み要求信号6b、読み込み要求信号6c（以下6a~6cを制御信号と称する）を外部から入力するための内部バッファ7aを通して入力し、分配回路11により、記憶素子内部で使用する信号経路と、次段の記憶素子2a~2cやメモリ制御素子1に信号へ伝えるための外部バッファ7bへ分けられる。制御信号6a~6cによる制御回路12の信号で監視されているアドレスラッチ用レジスタ8a、ライトデータラッチ用レジスタ8b、リードデータラッチ用レジスタ8cでは、アドレス信号3およびデータ信号5が、ライトクロック信号4aまたはリードクロック信号4bでラッチされる。ラッチされたアドレス信号3およびデータ信号5は制御回路12の信号により、メモリセル10とデータをやりとりする。アドレス制御信号6aは、数本の信号で構成され、次段の記憶素子2a~2cに伝送する際、1を加算する加算回路13を介して外部バッファ7bへ接続されている。データ信号5に接続されている選択回路9は、メモリセル10から書き込みデータラッチ用レジスタ8cを介してデータをメモリ制御素子1に伝える信号と、外部の記憶素子からの書き込みデータ信号5を、制御回路12により切り替える。

【0020】以下、本実施形態の動作について説明する。

【0021】メモリ制御素子1からライトクロック信号4aが出力され、記憶素子2a内の内部バッファ7aで受信される。受信されたライトクロック信号4aは、分配回路11で記憶素子2a内部用と次段の記憶素子2bへの伝送用に分配される。内部用のクロック信号は、アドレスラッチ用レジスタ8aおよび書き込みデータラッチ用レジスタ8bで、アドレス信号3およびデータ信号5のラッチ用として使用される。外部用のクロック信号

は外部バッファ7bを介して次段の記憶素子2bへ伝送される。同様に、記憶素子2bから記憶素子2cへ伝送され、最遠端にある記憶素子2cで出力されたライトクロック信号4aはリードクロック信号4bの端子へ入力され、内部バッファ7aを介して分配回路11で内部用のクロック信号と外部用のクロック信号に分けられる。内部用のクロック信号は、読み込みデータラッチ用レジスタ8cで、データ信号5のラッチ用として使用される。外部用のクロック信号は外部バッファ7bを介して記憶素子2bへ伝送され、同様にさらに、記憶素子2a、メモリ制御素子1へと伝送される。

【0022】次に、アドレス制御信号6aについて説明する。アドレス制御信号6aは数本の信号線で構成される。この本数は、記憶素子の数でまじり、記憶素子の数をNとすると、信号の本数は、2を底とするlog

(N)以上が必要である。本実施形態では記憶素子は3個であるから、 $n=2$ とする。アドレス制御信号6aは、メモリ制御素子1から、2進数で「00」が出力される。この「00」を受けた記憶素子2aでは、この信号をアドレスラッチ用レジスタ8aに送り、記憶素子2bに伝送する前に、加算回路13で「1」を加えて「01」とし、記憶素子2bでは、加算回路13で「1」を加え「10」を記憶素子2cに送り、次段の記憶素子へ伝送する度に「1」を加えていくことを繰り返す。このアドレス制御信号6aは制御回路12およびアドレスラッチ用レジスタ8aに送られ、記憶素子2a~2cを識別する符号として利用し、アドレス信号3により、記憶素子2a~2cの全てのメモリセル10のアドレスを指定することができる。

【0023】次に、メモリバスの動作について説明をつける。

【0024】メモリ制御素子1から出力されたアドレス信号3は、記憶素子2aに入力され、分配回路11で内部用のアドレス信号と外部用のアドレス信号に分けられる。内部用のアドレス信号は制御回路12およびアドレスラッチ用レジスタ8aに送られる。ここに送られたアドレスがメモリセル10にあれば、アドレスラッチ用レジスタ8aでラッチされ、制御回路12に送られる書き込み要求信号6bまたは読み込み要求信号6cにより、書き込み動作であるか、読み込み動作であるかが決定される。

【0025】データ信号線5の入出力端子は、通常、ハイ・インピーダンスを保ち、書き込み要求信号6bまたは読み込み要求信号6cにより、データ信号5の伝送方向が確定する。

【0026】メモリ制御素子1から書き込み要求信号6bが来ていた場合、直ちに、データ信号5の信号伝達経路をメモリ制御素子1から記憶素子2a、記憶素子2b、記憶素子2cの方向に切り替え、メモリ制御素子1から書き込みデータ信号5が伝送され、対象の記憶素子

では書き込みデータラッチ用レジスタ8bからメモリセル10へデータが伝送される。

【0027】また、メモリ制御素子1から読み込み要求信号6cが来ていた場合、直ちに、データ信号5の信号伝達経路を記憶素子2cから記憶素子2b、記憶素子2a、メモリ制御素子1の方向に切り替え、対象の記憶素子内で、メモリセル10から読み込みデータラッチ用レジスタ8cを通して、メモリ制御素子1へ読み込みデータ5が伝送される。

【0028】本実施の形態のメモリバスシステムは、信号配線の分岐がないことにより反射歪みや遅延増加をなく、各信号の動作速度を上げることが可能となり、メモリのデータ転送能力を増大できる。また、高度なインピーダンス整合も必要なく、さらに、図5の配線図で示すとおり、記憶素子2a~2cのデータ、アドレス、クロック等の信号群の端子を入力と出力で左右対称に配置することで、各信号線間の交差がないように配線できるので、低層で安価な基板を実現できる。

(メモリバスシステムの第2実施の形態) 図5は本発明のメモリバスシステムの第2実施の形態のブロック図を示し、図6は、図5の記憶素子2a~2cの内部ブロック図を示す。

【0029】この実施の形態は、図2および図4のメモリバスシステムのうち、データ信号5を書き込み用のデータ信号5aと読み込み用のデータ信号5bに分離したものである。データ信号が、書き込み用信号5aと読み込み用信号5bに分離されているので、書き込みと読み込みの切り替え時間を短縮でき、さらなる高速メモリバスシステムを構築することが可能である。

(その他のメモリバスシステムの実施の形態) 第1および、第2実施の形態のメモリバスシステムでは、3個の記憶素子が用いられているが、記憶素子の数はメモリ制御素子1のアドレス空間分までの記憶素子を接続することが可能である。

【0030】

【発明の効果】以上説明したように本発明は、素子間の信号線を1:1で接続することにより、信号線の分岐による反射歪みや遅延増加が存在しないので、各信号の動作速度を素子能力の極限まで引き上げることができ、すなわち、データ転送能力を増大させることが可能となり、また、高度なインピーダンス整合も必要とせず、かつ、各信号線の交差のない配線ができるので、低層で安価な基板を実現できるという効果がある。

【図面の簡単な説明】

【図1】本発明のメモリバスシステムの信号線の接続方法の第1実施の形態のフローチャートである。

【図2】本発明のメモリバスシステムの第1実施の形態のブロック図である。

【図3】図2の記憶素子2a~2cの内部ブロック図である。

【図4】図2のメモリバスシステムの配線図である。

【図5】本発明のメモリバスシステムの第2実施の形態のブロック図である。

【図6】図4の記憶素子12a～12cの内部ブロック図である。

【図7】メモリバスシステムの第1従来例のブロック図である。

【図8】メモリバスで記憶素子に到達した信号の波形図である。

【図9】メモリ制御素子と記憶素子とを100MHzで動作させる場合のメディア遅延の許容値の一例を示すグラフである。

【図10】メモリバスシステムの第2従来例のブロック図である。

【符号の説明】

- 1、21 メモリ制御素子
- 2a、22a 記憶素子
- 2b、22b 記憶素子
- 2c、22c 記憶素子
- 3 アドレス信号
- 4 クロック信号
- 4a アドレス信号用および書き込みデータ信号用クロ

ック信号

4b 読み込みデータ信号用クロック信号

5 データ信号

5a 書き込みデータ信号

05 5b 読み込みデータ信号

6a アドレス付加制御信号

6b 書き込み要求信号

6c 読み込み要求信号

7a 内部バッファ

10 7b 外部バッファ

8a アドレス信号ラッチ用レジスタ

8b 書き込みデータ信号ラッチ用レジスタ

8c 読み込みデータ信号ラッチ用レジスタ

9 選択回路

15 10 メモリセル

11 分配回路

12 メモリ制御回路

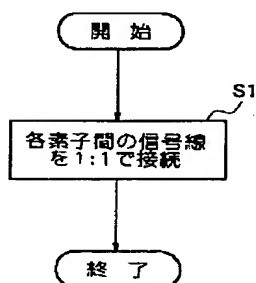
13 加算回路

14 クロック源

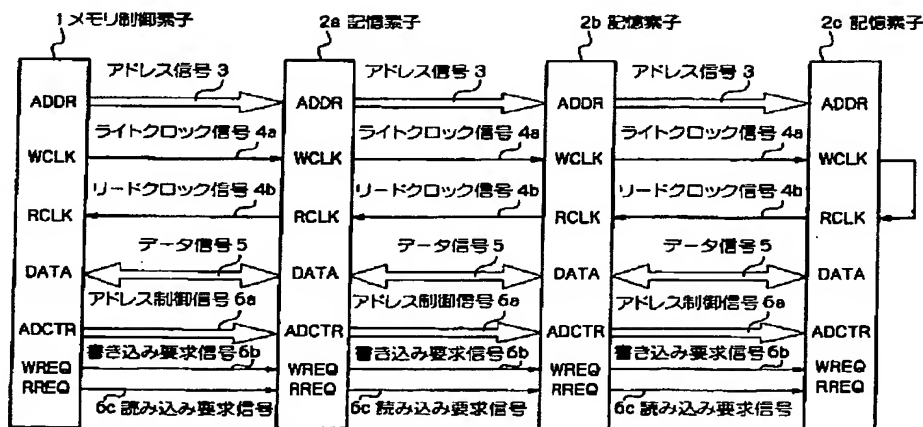
20 15 終端回路

A メディア遅延増加

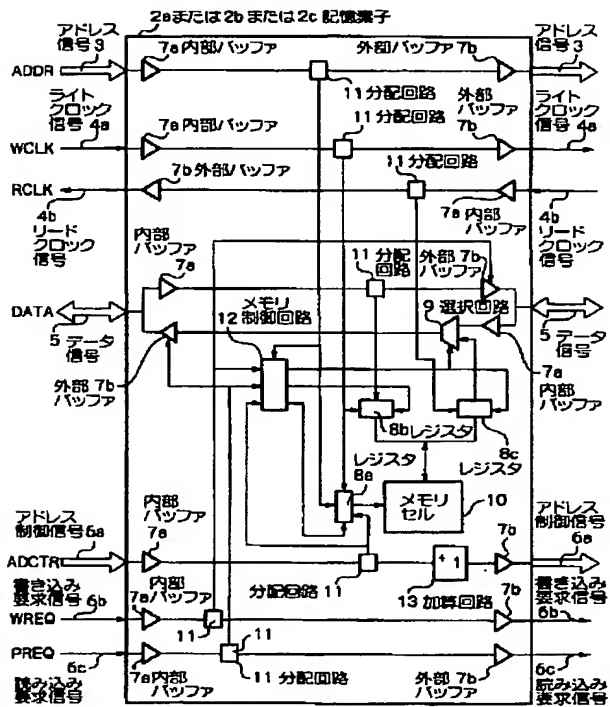
【図1】



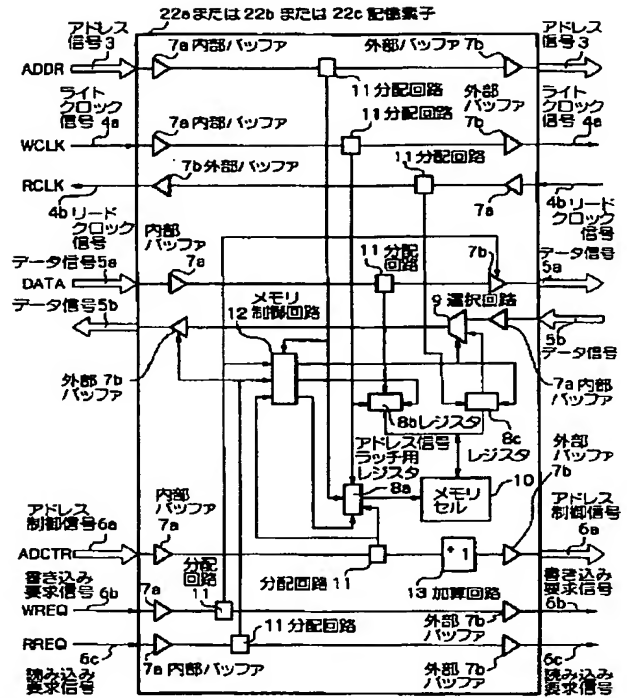
【図2】



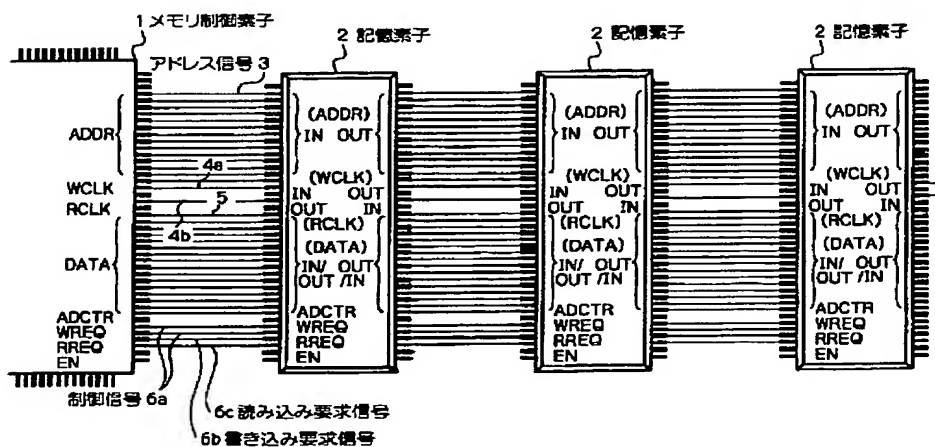
【図3】



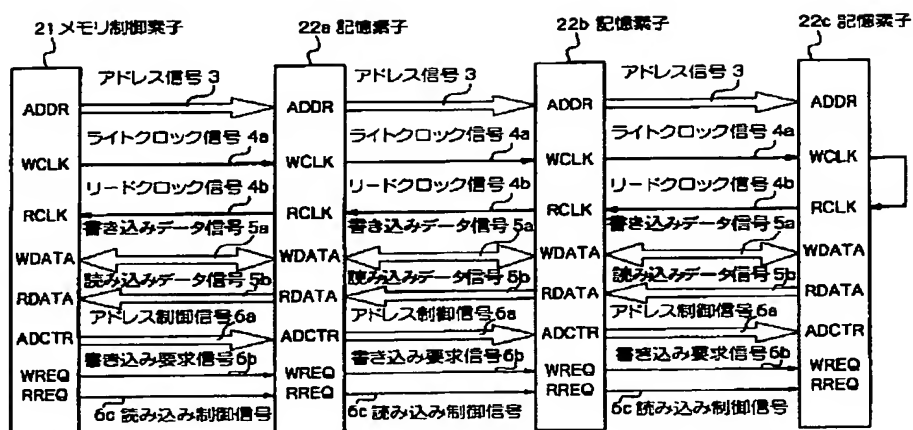
【図6】



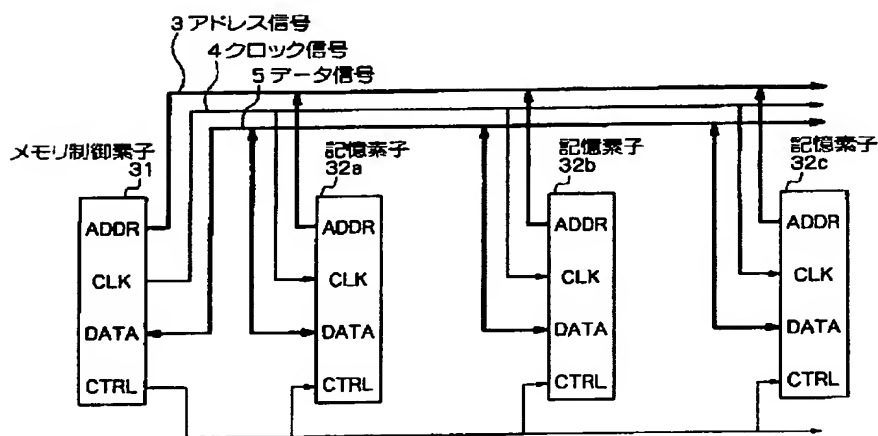
【図4】



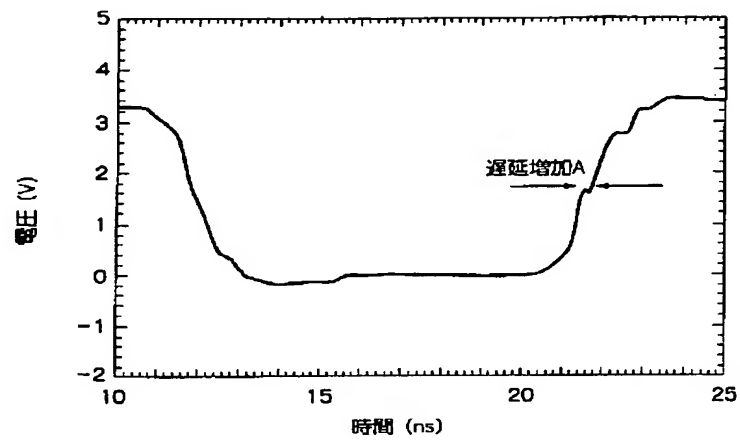
【図5】



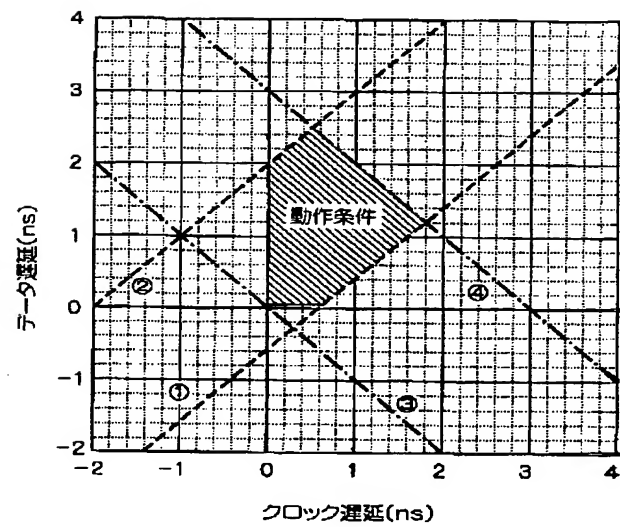
【図7】



【図8】



【図9】



【図10】

